



FIG. 3

Sw	INPUT	i1'	i2'	i3'	i4'	i5'	i6'
L	OUTPUT	i1	i2	i3	i4	i5	i6
Н		i6	i5	i4	i3	i2	i1

FIG. 9 (PRIOR ART)

D6 — 16 D5 — 15 D4 — 14 SOURCE — 13 DEVICE — 13 DEVICE — 12 D1 — 11	16
--	----









